

特開 2002-217620

(P 2002-217620 A)

(43) 公開日 平成14年8月2日 (2002.8.2)

(51) Int. Cl. ⁷	識別記号	F I	テ-マ-ド (参考)
H 0 1 P	7/10	H 0 1 P	7/10
	1/20		1/20
H 0 3 B	5/18	H 0 3 B	5/18
			D

審査請求 未請求 請求項の数 8

OL

(全 7 頁)

(21) 出願番号 特願2001-5182 (P2001-5182)

(22) 出願日 平成13年1月12日 (2001.1.12)

(71) 出願人 000006231

株式会社村田製作所

京都府長岡京市天神二丁目26番10号

(72) 発明者 加藤 貴敏

京都府長岡京市天神二丁目26番10号 株式

会社村田製作所内

(72) 発明者 飯尾 憲一

京都府長岡京市天神二丁目26番10号 株式

会社村田製作所内

(74) 代理人 100084548

弁理士 小森 久夫

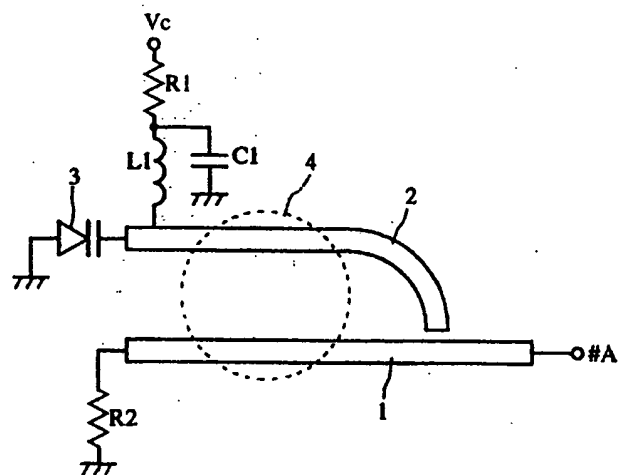
最終頁に続く

(54) 【発明の名称】 共振回路、トラップフィルタ、電圧制御発振器および通信装置

(57) 【要約】

【課題】 周波数安定性を低下させることなく、周波数変化幅を広くとることのできる共振回路、トラップフィルタ、電圧制御発振器およびそれらを用いた通信装置を得る。

【解決手段】 共振信号を伝搬する主線路1と、可変容量素子3を接続した副線路2と、主線路1および副線路2にそれぞれ結合する共振器4とを設けるとともに、副線路2の端部を主線路1に近接配置して、両者を容量結合させる。



【特許請求の範囲】

【請求項1】 共振信号を伝搬する主線路と、可変容量素子が接続された副線路と、前記主線路および副線路に結合する共振器とを備えて成る共振回路において、前記副線路と前記主線路とを結合させた共振回路。

【請求項2】 前記副線路の一端を前記主線路に近接配置して容量結合させて成る請求項1に記載の共振回路。

【請求項3】 前記副線路から分岐させた線路の端部を前記主線路に近接配置して容量結合させて成る請求項1に記載の共振回路。

【請求項4】 前記主線路から分岐させた線路の端部を前記副線路に近接配置して容量結合させて成る請求項1に記載の共振回路。

【請求項5】 前記副線路の少なくとも一部と前記主線路の少なくとも一部とを近接平行配置することで結合線路を構成し、該結合線路で前記副線路と主線路とを容量結合および誘導結合させた請求項1に記載の共振回路。

【請求項6】 請求項1～5のうちいずれかに記載の共振回路において、前記主線路の一端と他端とを入出力端子としたトラップフィルタ。

【請求項7】 請求項1～5のうちいずれかに記載の共振回路を備えて成る電圧制御発振器。

【請求項8】 請求項1～5のうちいずれかに記載の共振回路、請求項6に記載のトラップフィルタまたは請求項7に記載の電圧制御発振器を設けて成る通信装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 この発明は、可変容量素子を備えた共振回路、トラップフィルタ、電圧制御発振器およびそれらを用いた通信装置に関するものである。

【0002】

【従来の技術】 従来、マイクロ波帯やミリ波帯で用いられる電圧制御発振器は、反射増幅器を接続した、共振信号を伝搬する主線路と、可変容量素子を接続した副線路と、この両線路に結合する共振器とを備えて、帯域反射型の発振器として構成されている。副線路に接続された可変容量素子は、与えられる制御電圧に応じてその静電容量が変化して、共振器に装荷される容量が変化する。このことによって共振回路部分の共振周波数が変化し、それに応じて発振周波数が変化する。

【0003】 図11に、従来の電圧制御発振器における、可変容量素子に対する制御電圧と発振周波数との関係の典型的な例を示す。この例では、可変容量素子に対する制御電圧を0V～10Vの範囲で変化させると、発振周波数は30.17～30.30〔GHz〕の範囲で変化する。すなわち、制御電圧変化に対する発振周波数変化は0.013〔GHz/V〕である。

【0004】

【発明が解決しようとする課題】 ところが、上述した従来の電圧制御発振器においては、共振器として誘電体共

振器を用いた場合、そのQが高いため、可変容量素子の容量変化に対する発振周波数の変化は小さい。そのため、誘電体共振器装荷電圧制御発振器は大きな周波数変調幅を得にくいという問題があった。Qの低い共振器を装荷すれば、また容量値の大きな可変容量素子を設ければ、制御電圧に対する発振周波数の変化幅を大きくとることはできるが、周波数安定性が劣化するという問題が生じる。

【0005】 上述のことは電圧制御発振器に限らず、主線路、副線路、可変容量素子および共振器を備えてなる共振回路についても、またこの共振回路を用いたトラップフィルタについても、同様に生じる問題である。

【0006】 この発明の目的は、周波数安定性を低下させることなく、周波数変化幅を広くとることのできる共振回路、トラップフィルタ、電圧制御発振器およびそれらを用いた通信装置を提供することにある。

【0007】

【課題を解決するための手段】 この発明の共振回路は、共振信号を伝搬する主線路と、可変容量素子が接続された副線路と、前記主線路および副線路に結合する共振器とを備え、前記副線路と前記主線路とを結合させる。この構造により、副線路の可変容量素子による特性変化が共振器の共振とは別に、主線路に直接影響を与えることになるため、副線路が主線路に直接結合しない従来の電圧制御発振器における共振回路部分に比べて、可変容量素子の容量変化に対する共振周波数の変化が大きくなる。

【0008】 上記の結合形態としては、副線路の一端を主線路に近接配置して、その間に生じる静電容量により容量結合させる。

【0009】 また、副線路から分岐させた線路の端部を主線路に近接配置して、もしくは主線路から分岐させた線路の端部を副線路に近接配置して、容量結合させる。

【0010】 さらに、副線路の少なくとも一部と主線路の少なくとも一部とを近接平行配置することで結合線路を構成し、該結合線路で副線路と主線路とを結合させる。

【0011】 いずれの結合形態の場合にも、基板上に形成する主線路と副線路のパターンによって容易に結合構造をとることができる。

【0012】 この発明のトラップフィルタは、上記共振回路において、主線路の一端と他端とを入出力端として、その入出力端の間に、上記共振回路の共振周波数の信号をトラップするフィルタを構成する。

【0013】 この発明の電圧制御発振器は、上記共振回路を備えて構成する。これにより帯域反射型の発振回路を構成し、可変容量素子に対する制御電圧に応じて発振周波数を広範囲に可変できるようにし、周波数変調幅を広くとれるようにする。

【0014】 この発明の通信装置は、上記共振回路、ト

ラップフィルタまたは電圧制御発振器を用いて構成する。

【0015】

【発明の実施の形態】第1の実施形態に係る共振回路の構成を図1に示す。図1において、1、2はそれぞれ基板上に形成した主線路および副線路である。基板の下面には略全面の接地電極を形成して、この接地電極と基板の誘電体および基板上面の線路とによってマイクロストリップラインを構成している。主線路1の一端には終端抵抗としての抵抗R2を接地との間に接続している。副線路2の一端には、接地との間にバラクタダイオードなどの可変容量素子3を接続している。また副線路2には、インダクタL1、コンデンサC1、抵抗R1による制御電圧供給回路を接続している。基板の下面には後述する誘電体共振器が対向する面を除く面に接地電極を形成している。4で示す円形部分が、主線路1および副線路2を形成した基板の下部に設けた誘電体共振器である。

【0016】副線路2の他方の端部は主線路1の所定箇所に近接させていて、その間に静電容量を生じさせている。なお、両線路の結合位置は、誘電体共振器と重なる位置などでもよい。

【0017】図1に示した構成により、主線路1および副線路2がそれぞれ共振器4に結合し、副線路2の端部において、副線路2と主線路1とが直接容量結合する。端子#Aからこの共振回路を見た時、その共振周波数は主線路1および副線路2に装荷されている共振器4の共振周波数に等しいが、可変容量素子3が接続されている副線路2が主線路1の所定位置に直接容量結合しているため、共振器4の共振周波数は可変容量素子3の静電容量に応じて比較的大きく変動する。したがって可変容量素子3に対する制御電圧Vcの変化に対する共振周波数の変化幅を大きく確保できる。

【0018】図1において主線路1と副線路2との近接部分の間隙は数10～数100μm、主線路1の長さは5mm、主線路1の幅は0.5mm、副線路2の長さは5mm、副線路2の幅は0.3mm、共振器4の径（後述のTE010モードの誘電体共振器を構成する、誘電体基板両面の電極非形成部の直径）は3mmとしている。なお、主線路1に対する副線路2の容量結合位置は、共振器4の端部から1.2mmの位置としている。

【0019】次に、第2の実施形態に係るトラップフィルタの構成を図2を参照して説明する。図2において、1、2はそれぞれ基板上に形成した主線路および副線路である。基板の下面には略全面の接地電極を形成して、この接地電極と基板の誘電体および基板上面の線路とによってマイクロストリップラインを構成している。

図1に示した共振回路と異なり、主線路1の両端を入出力端子としている。その他の構成は第1の実施形態の場合と同様である。したがって端子#A-端子#B間の主

線路1と接地との間に共振器4の共振器が設けられたトラップフィルタとして作用する。

【0020】図2に示した構成により、主線路1および副線路2がそれぞれ共振器4に結合し、副線路2の端部において、副線路2と主線路1とが直接容量結合する。端子#Aまたは#Bからこの回路を見た時、そのトラップ周波数は主線路1および副線路2に装荷されている共振器4の共振周波数に等しいが、可変容量素子3が接続されている副線路2が主線路1の所定位置に直接容量結合しているため、共振器4の共振周波数は可変容量素子3の静電容量に応じて比較的大きく変動する。したがって可変容量素子3に対する制御電圧Vcの変化に対する共振周波数の変化幅が大きく確保でき、制御電圧Vcに応じてトラップ周波数を広範囲にわたって制御できる。

【0021】次に、第3の実施形態に係る電圧制御発振器の構成を図3～図7を参照して説明する。図3は、電圧制御発振器の回路構成を示す図である。この回路は図1に示した共振回路における主線路1に反射増幅器を接続することによって構成している。すなわち、図3において5はGaAsFETであり、そのゲートを主線路1の端部に接続している。FET5のドレインにはR3、L2、C2によるバイアス電圧供給回路を接続し、バイアス電圧Vbを供給している。FET5のソースにはL3、R4、C3、R5による出力回路を接続している。

【0022】FET5を接続する主線路1の端部から共振器4の結合位置までの主線路1上の長さを、共振周波数における1/4波長とすることによって、帯域反射型の発振回路を構成している。

【0023】上記帯域反射型の発振器は、共振回路部分の共振周波数で発振するので、制御電圧Vcによって定まる可変容量素子3の静電容量に応じて発振周波数が制御される。制御電圧の変化に対する発振周波数の変化が大きいと、広い周波数域にわたって任意の周波数信号を出力することができる。また、可変容量素子3に対する印加電圧に応じて発振信号を変調する場合に、周波数変調幅を広くとることができる。

【0024】図4は図3に示した電圧制御発振器のモジュール（以下VCOモジュールという。）の分解斜視図、図5はその組立状態での斜視図である。図4および図5において6は誘電体線路用の基板であり、その上面に主線路1および副線路2を含む各種線路およびその他の電極パターンを形成している。この基板6の下面には後に示す誘電体共振器の対向する部分を除く領域に接地電極を形成して、所定箇所でスルーホールを介して上面の接地電極に接続している。この基板6の上面に、図に示すチップ状の部品を搭載することによって、図3に示した電圧制御発振器を構成する。図中の記号および番号は図3に示したものにそれぞれ対応する。ただしインダクタとしてのマイクロストリップラインL1、L2、L3の所定位置に設けたオープンスタブについて

は、図3では省略している。

【0025】図6は図4および図5に示したVCOモジュールを用いた電圧制御発振器の全体の分解斜視図である。ここで4が誘電体共振器であり、正方形板状の誘電体板の上下面に、円形の電極非形成部を対向させて、それぞれ接地電極を設けている。この円形の電極非形成部で挟まれる誘電体板内の領域がTE010モードの誘電体共振器として作用する。図3において4で示した破線の円形部分が、この誘電体共振器の電極非形成部の領域を指している。図6において11はアルミナセラミックからなるケースであり、その内部に、共振器4を取り付けたVCOモジュール10を装着し、上部に金属板からなるカバー12を接合する。これにより、パッケージ化した電圧制御発振器を構成する。

【0026】図7は、図11に示した特性を有する従来の電圧制御発振器の共振回路部分を図4に示したように変更したときの、制御電圧に対する発振周波数の変化の関係を示している。この例では、可変容量素子に対する制御電圧を3V～9Vの範囲で変化させると、発振周波数は30.225～30.37〔GHz〕の範囲で変化する。すなわち、制御電圧変化に対する発振周波数変化は0.024〔GHz/V〕となり、図11に示した従来の0.013〔GHz/V〕より大きな値が得られる。

【0027】次に、第4の実施形態に係る共振回路の2つの構成例を図8に示す。(A)に示す例では、副線路2から分岐させた線路の端部を主線路1の所定位置に近接させて、その間で容量結合させている。また(B)に示す例では、主線路1から分岐させた線路の端部を副線路2の所定箇所に近接させて、その間で容量結合させている。その他の構成は図1に示したものと同様である。

【0028】次に、第5の実施形態に係る共振回路の構成を図9に示す。この例では、副線路2の一部と主線路1の一部とを近接させて、その間に結合線路(カップルライン)を構成している。この結合線路によって主線路と副線路とが分布定数的に結合する。すなわち容量性の結合だけでなく、誘導性の結合も含まれる。

【0029】なお、以上に示した実施形態では主線路1と副線路2とを所定の1箇所でのみ結合させるようにしたが、図1、図8または図9に示した構造を組み合わせて、主線路と副線路とを複数箇所では結合させるようにしてもよい。

【0030】次に、通信装置の構成を図10を参照して説明する。図10においてANTは送受信アンテナ、DPXはデュプレクサ、BPFa、BPFb、BPFcはそれぞれ帯域通過フィルタ、AMPa、AMPbはそれぞれ増幅回路、MIXa、MIXbはそれぞれミキサ、OSCはオシレータ、DIVは分周器(シンセサイザ)である。VCOは送信信号(送信データ)に応じた信号により発振周波数を変調する電圧制御発振器であ

る。

【0031】MIXaはVCOの発振信号をDIVから出力される周波数信号で周波数変換し、BPFaは送信周波数の帯域のみを通過させ、AMPaはこれを電力増幅してDPXを介しANTより送信する。BPFbはDPXから出力される信号のうち受信周波数帯域のみを通過させ、AMPbはそれを増幅する。MIXbはBPFcより出力される周波数信号と受信信号とをミキシングして中間周波信号IFを出力する。

【0032】ここで電圧制御発振器VCOとして図3～図7に示したものを用いる。これにより、変調信号の周波数安定性を低下させることなく、低い電源電圧の下でも所定の変調度で送信信号を変調させることができる。

【0033】図10に示した回路以外にも、通信装置の所定の共振回路部分に図1に示した共振回路を用い、トラップフィルタ部分に図2に示したトラップフィルタを用いる。これにより、周波数安定性を低下させることなく、所望の特性を得る周波数範囲を広くとることができる。

【0034】

【発明の効果】請求項1、6に記載の発明によれば、Qの高い誘電体共振器を用いても、可変容量素子の容量変化に対する共振周波数の変化を十分に確保できるため、周波数安定性を低下させることなく、広い周波数範囲で所望の周波数特性を得ることができる。

【0035】請求項2、3、4、5に記載の発明によれば、主線路と副線路との結合用の部品を設けることなく、基板上に形成する主線路と副線路のパターンによって、両者の結合構造を容易に構成できるので、部品コストおよび製造コストは何ら増すことがない。

【0036】特に、請求項2に記載の発明によれば、簡単な形状の副線路を用いて主線路と結合させることができるため、所定の結合量を高精度に定めることができる。

【0037】また、請求項5に記載の発明によれば、主線路と副線路との結合状態の設計上の自由度が高まり、その最適化を図ることができる。請求項7に記載の発明によれば、発振周波数の安定性を低下させることなく、発振周波数を広い周波数範囲にわたって制御できる。また、可変容量素子に加わる制御電圧に対する発振周波数の変化範囲が広がるため、低い電源電圧の下で、所望の変調度で発振周波数を変調させることもできる。そのため、電源電圧の低電圧化にも適応できる。

【0038】請求項8に記載の発明によれば、共振回路、トラップフィルタ、電圧制御発振器の優れた周波数安定性により、位相雑音やスプリアス特性に優れた通信装置が得られる。

【図面の簡単な説明】

【図1】第1の実施形態に係る共振回路の構成を示す図

【図2】第2の実施形態に係るトラップフィルタの構成

を示す図

【図3】第3の実施形態に係る電圧制御発振器の構成を示す図

【図4】同電圧制御発振器のVCOモジュールの構成を示す分解斜視図

【図5】同VCOモジュールの斜視図

【図6】パッケージ化した電圧制御発振器の分解斜視図

【図7】同電圧制御発振器における制御電圧に対する発振周波数の関係を示す図

【図8】第4の実施形態に係る共振回路の構成を示す図 10

【図9】第5の実施形態に係る共振回路の構成を示す図

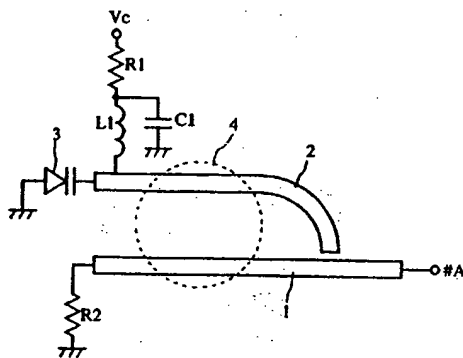
【図10】第6の実施形態に係る通信装置の構成を示すブロック図

【図11】従来の電圧制御発振器における制御電圧に対する発振周波数の関係を示す図

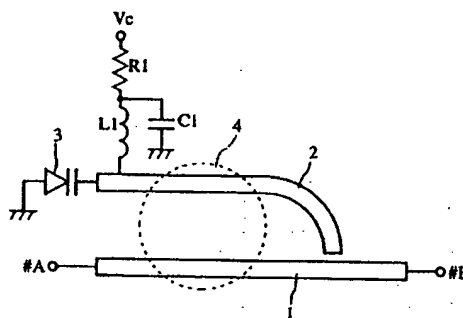
【符号の説明】

- 1－主線路
- 2－副線路
- 3－可変容量素子
- 4－共振器
- 5－FET
- 6－基板
- 10－VCOモジュール
- 11－ケース
- 12－カバー

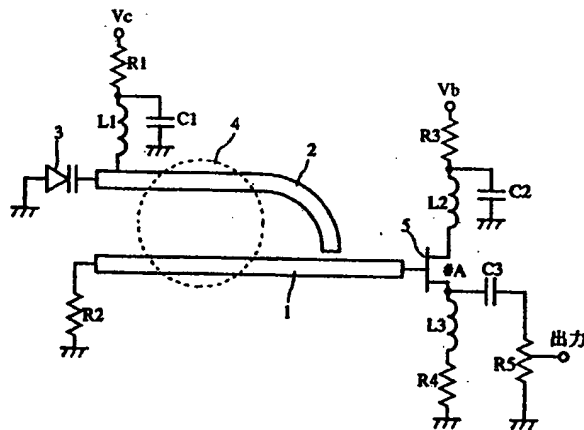
【図1】



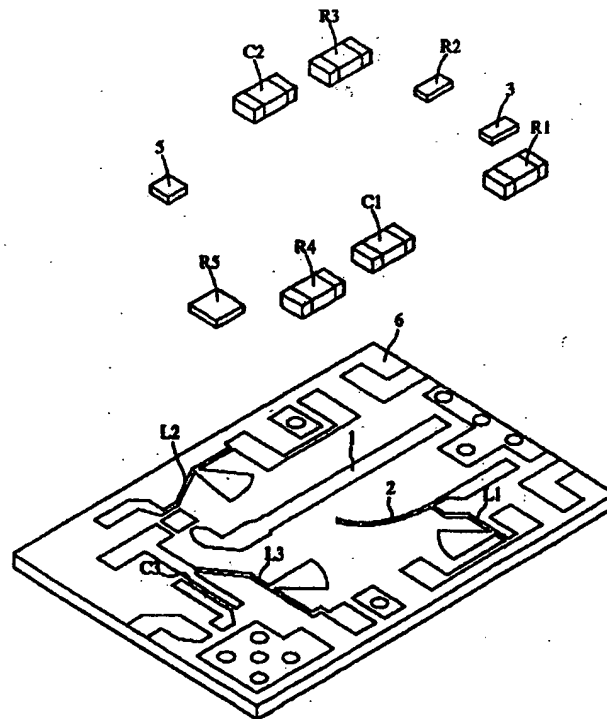
【図2】



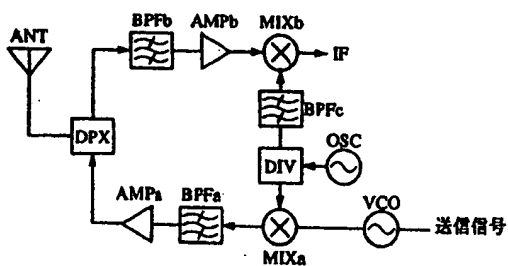
【図3】



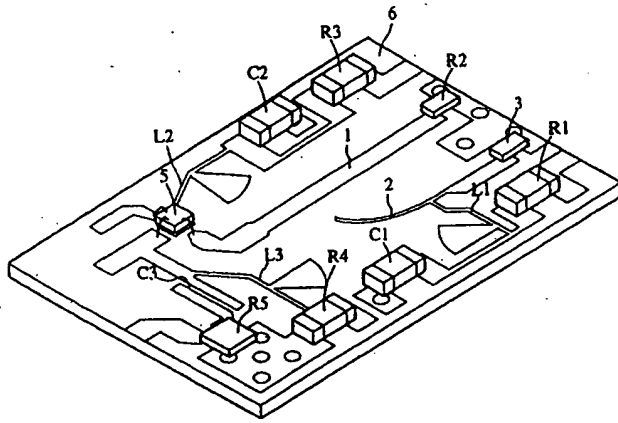
【図4】



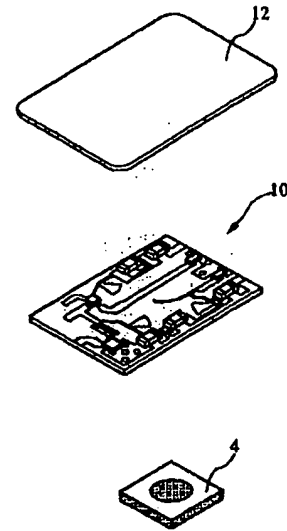
【図10】



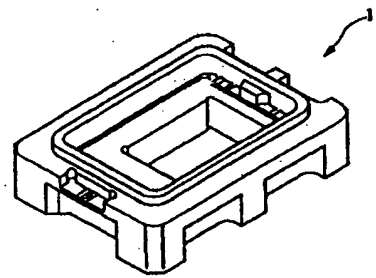
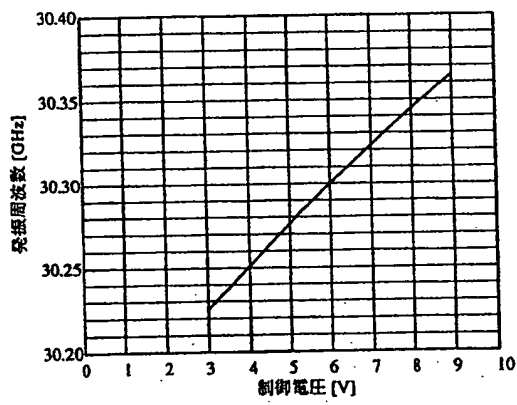
【図5】



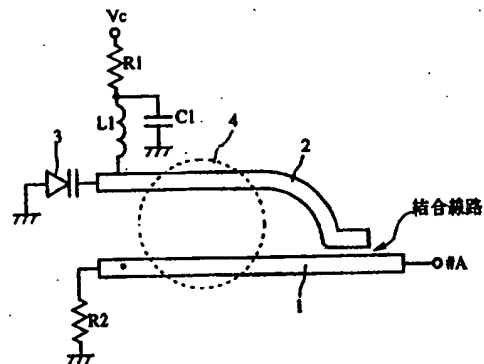
【図6】



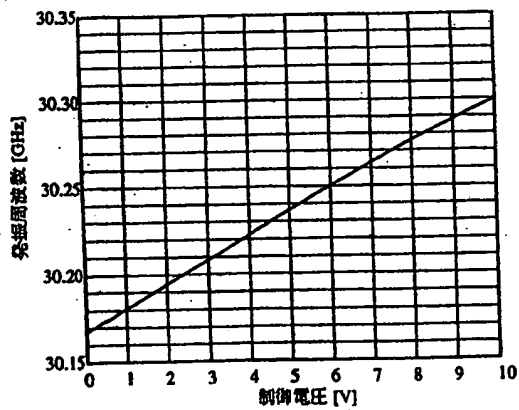
【図7】



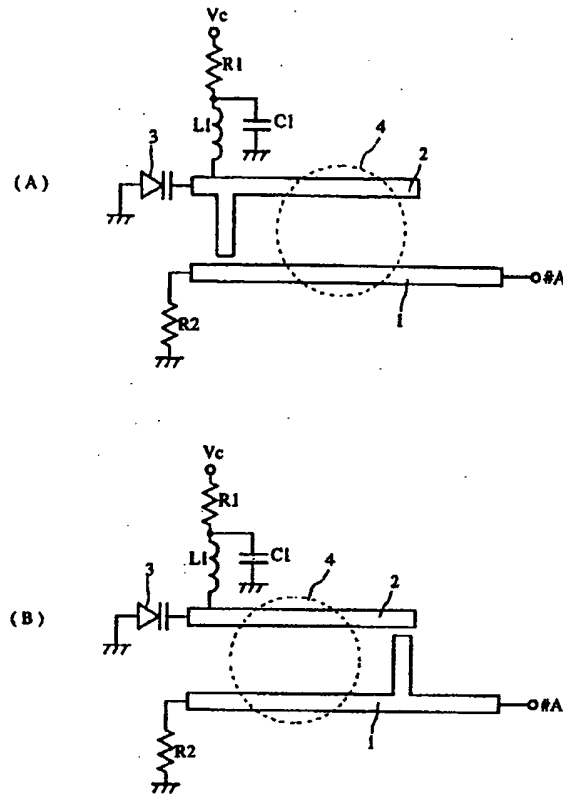
【図9】



【図11】



【図8】



BEST AVAILABLE COPY

フロントページの続き

(72)発明者 藤井 康生
京都府長岡京市天神二丁目26番10号 株式
会社村田製作所内
(72)発明者 坂本 孝一
京都府長岡京市天神二丁目26番10号 株式
会社村田製作所内

F ターム(参考) 5J006 HC03 HC12 HC24 JA02 MA09
NA08 PB01
5J081 AA11 CC07 CC22 CC34 DD04
DD26 EE09 EE18 FF03 GG01
KK02 KK09 KK22 LL05